

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7920-2K		
1/1333	5 0 5	8806-2K		
1/1343		9018-2K		

審査請求 未請求 請求項の数1 (全 5 頁)

(21) 出願番号 特願平2-404444

(22) 出願日 平成2年(1990)12月20日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番23号

(72) 発明者 上三 徹

大阪市阿倍野区長池町22番22号 シャープ

株式会社内

(74) 代理人 弁理士 山本 秀策

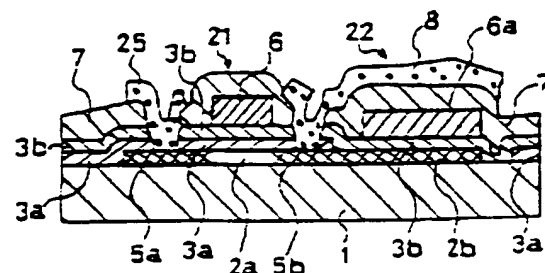
(54) 【発明の名称】 アクティブマトリクス表示装置の製造方法

(57) 【要約】

【目的】 高耐圧のゲート絶縁膜を有する TFT を備え、且つ容量値の大きな付加容量を備えたアクティブマトリクス表示装置を提供することである。

【構成】 基板 1 上の全面に形成した第 1 絶縁膜 3 a の第 1 容量電極 2 b 上の部分を除去し、更に第 2 絶縁膜 3 b を全面に形成する。ゲート絶縁膜は第 1 絶縁膜 3 a 及び第 2 絶縁膜 3 b の 2 層の膜によって構成される。第 1 容量電極 2 b と第 2 容量電極 6 a とによって構成される付加容量の付加容量絶縁膜は、第 2 絶縁膜 3 b のみによって構成される。

【効果】 ゲート絶縁膜と付加容量絶縁膜との層厚を、別々に設定することができるので、それぞれに適した層厚を設定することができる。



【特許請求の範囲】

【請求項1】 絶縁性基板上に薄膜トランジスタと付加容量とを有するアクティブマトリクス表示装置の製造方法であって、該基板上に、該薄膜トランジスタのチャネル層と、該付加容量を構成する第1容量電極とを形成する工程と、該チャネル層及び該第1容量電極上の全面に第1絶縁膜を形成する工程と、該第1容量電極上の第1絶縁膜を除去する工程と、該第1絶縁膜及び該第1容量電極上に第2絶縁膜を形成する工程と、該チャネル層上方の該第2絶縁膜上にゲート電極を形成し、且つ該第1容量電極上方の該第2絶縁膜上に第2容量電極を形成する工程と、を包含するアクティブマトリクス表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタをスイッチング素子として有し、付加容量を有したアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】 付加容量を有した一般的なアクティブマトリクス表示装置の等価回路図を、図3に示す。この表示装置では、一方向に平行するゲートバス配線24に交差して、ソースバス配線25が設けられている。ゲートバス配線24及びソースバス配線25に囲まれた1つの絵素領域には、絵素容量(C₁)23及び付加容量(C₂)22が並列に設けられている。ゲートバス配線24及びソースバス配線25にはそれぞれ薄膜トランジスタ(以下では「TFT」と称する)21のゲート電極及びソース電極が接続されている。TFT21のドレイン電極には絵素容量23及び付加容量22が接続されている。

【0003】 このような表示装置に用いられる、アクティブマトリクス基板の製造方法を図4(a)～(d)に示す。このアクティブマトリクス基板は、以下のようにして作製される。まず、ガラス等の絶縁性基板1上に、後に半導体層2となるシリコン層が減圧CVD法によって、100nmの厚さに堆積される。このシリコン層がホトリソグラフィ法及びドライエッチング法によってパターンニングされ、半導体層2が形成される(図4(a))。

【0004】 次に、シリコンの酸化物からなる絶縁膜3が、基板1上の全面に、例えばCVD法によって100nmの厚さに形成される。更に絶縁膜3上にレジスト4が形成され、半導体層2の一部である第1容量電極2b上の部分のレジストが除去される。このレジスト4をマスクとして、イオン注入法によって第1容量電極2bとなる部分に、例えばリンが不純物として、100KeV、 $5 \times 10^{11} \text{ cm}^{-2}$ の条件下でドーピングされる(図4(b))。尚、リンのドーピングを絶縁膜3を形成する前に

【0005】 次に、レジスト4が除去され、シリコン半導体層2上に絶縁膜3を戻してゲート電極6及び第2容量電極6aがパターン形成される。ゲート電極6は前述のゲートバス配線24に接続されている。第1容量電極2b、絶縁膜3及び第2容量電極6aにより、付加容量22が形成される。従って、このアクティブマトリクス基板では、絶縁膜3が付加容量の付加容量絶縁膜として用いられている。

【0006】 次に、ゲート電極6及び第2容量電極6aをマスクとして、イオン注入法によって例えばリンが不純物として、100KeV、 $5 \times 10^{11} \text{ cm}^{-2}$ の条件下でドーピングされる(図4(c))。この不純物のイオン注入により、半導体層2のゲート電極6及び第2容量電極6aの下方以外の部分にソース領域5a及びドレイン領域5bが形成され、半導体層2のゲート電極6の下方の部分にチャネル領域2aが形成される。絶縁膜3はゲート絶縁膜として機能している。以上によりTFT21が形成される。

【0007】 次に、基板1上の全面にCVD法によってシリコンの酸化物からなる層間絶縁膜7が形成される。次に、ドーピングした不純物を活性化させるために、この基板は例えば窒素中で950℃に30分間熱処理される。更に、層間絶縁膜7のソース領域5a上及びドレイン領域5b上の部分にコンタクトホールが形成され、ソース領域5a上のコンタクトホール上にソースバス配線25が形成される。ドレイン領域5b上のコンタクトホール上及び層間絶縁膜7上には、絵素電極3が形成される(図4(d))。

【0008】 更に、このアクティブマトリクス基板と対向基板との間に液晶等の表示媒体が封入され、アクティブマトリクス表示装置が得られる。

【0009】

【発明が解決しようとする課題】 このような表示装置では、絶縁膜3はTFT21のゲート絶縁膜としての機能と、付加容量22の付加容量絶縁膜としての機能を果たしている。ところで、TFT21のゲート電極には非常に高い電圧が印加されるので、ゲート絶縁膜には高耐圧性が要求される。従って、ゲート絶縁膜を厚くすることが必要となる。一方、大きな付加容量値を得るためには、付加容量絶縁膜は薄いことが必要となる。しかし、前述のように絶縁膜3はTFT21のゲート絶縁膜としても機能しているので、付加容量値を大きくするためには、第1容量電極2b及び第2容量電極6aの面積を大きくすることが必要となる。ところが、第1容量電極2b及び第2容量電極6aの面積を大きくすると、開口率、即ち表示面の全面積に対する絵素の面積の比率が低下してしまう。開口率が低下すると、画面が暗くなるという問題点がある。

【0010】 本発明はこのような問題点を解決するものであり、本発明の目的は、高耐圧のゲート絶縁膜を有す

るTFTを備え、且つ容量値の大きな付加容量を備えたアクティブマトリクス表示装置を提供することである。本発明の他の目的は、そのようなアクティブマトリクス表示装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明のアクティブマトリクス表示装置の製造方法は、絶縁性基板の上に薄膜トランジスタと付加容量とを有するアクティブマトリクス表示装置の製造方法であって、該基板の上に、該薄膜トランジスタのチャネル層と、該付加容量を構成する第1容量電極とを形成する工程と、該チャネル層及び該第1容量電極上の全面に第1絶縁膜を形成する工程と、該第1容量電極上の第1絶縁膜を除く工程と、該第1絶縁膜及び該第1容量電極上に第2絶縁膜を形成する工程と、該チャネル層上方の該第2絶縁膜上にゲート電極を形成し、且つ該第1容量電極上方の該第2絶縁膜上に第2容量電極を形成する工程と、を含むことにより、上記目的が達成される。

【0012】

【作用】本発明のアクティブマトリクス表示装置では、TFTのゲート絶縁膜は第1絶縁膜と第2絶縁膜から構成されている。一方、付加容量の付加容量絶縁膜は第2絶縁膜から構成され、第1絶縁膜を有していない。従って、第2絶縁膜を付加容量絶縁膜に適した層厚とすれば、適切な容量値を有する付加容量が得られる。また、第1絶縁膜と第2絶縁膜との合計の層厚を、TFTのゲート絶縁膜として適切な値に設定すれば、高耐圧性に優れたゲート絶縁膜を有するTFTを得ることができる。

【0013】

【実施例】本発明の実施例について以下に説明する。図1は本発明のアクティブマトリクス表示装置の一実施例を構成するアクティブマトリクス基板の断面図である。本実施例の表示装置の等価回路図は、前述の図3と同様である。図2(a)～(e)に図1のTFTの製造工程を示す。本実施例のアクティブマトリクス表示装置を製造工程に従って説明する。まず、ガラス等の絶縁性基板1上の全面に、後に半導体層2となるシリコン層が減圧CVD法を用いて、100nmの厚さに堆積される。このシリコン層がホトリソグラフィ法及びドライエッチング法によってパターニングされ、半導体層2が形成される(図2(a))。

【0014】次に、シリコン酸化物からなる第1絶縁膜3aが、半導体層2を覆って基板1上の全面にCVD法によって形成される。第1絶縁膜3aの厚さは50nmである。この第1絶縁膜3a上の全面にレジスト4が形成され、後に半導体層2の第1容量電極2bとなる部分上の該レジスト4が除去される。次に、このレジスト4をマスクとして、第1容量電極2bとなる部分上の第1絶縁膜3aが除去される(図2(b))。

【0015】次に、レジスト4が除去され、第1絶縁膜

3aを覆って基板1上の全面に、シリコンの酸化物からなる第2絶縁膜3bが50nmの厚さに形成される。従って、半導体層2の第1容量電極2bの部分上には、第2絶縁膜3bのみが存在し、第1絶縁膜3aは存在しない。

【0016】次に、イオン注入法によって第1容量電極2bとなる部分に、例えばリンが不純物として、60KeV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でドーパされる。次に、シリコン半導体層2上に、第1絶縁膜3a及び第2絶縁膜3bを挟んでゲート電極6がパターン形成され、同時に第2絶縁膜3bを剥んで第2容量電極6aがパターン形成される。ゲート電極6は前述の図3に示すゲートバス配線34に接続されている。第1容量電極2b、第2絶縁膜3b及び第2容量電極6aにより、付加容量22が形成される。従って、このアクティブマトリクス基板では、第2絶縁膜3bのみが付加容量の付加容量絶縁膜として用いられている。

【0017】次に、ゲート電極6及び第2容量電極6aをマスクとして、イオン注入法によって例えばリンが不純物として、100KeV、 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でドーパされる(図2(c))。この不純物のイオン注入により、半導体層2のゲート電極6及び第2容量電極6aの下方以外の部分にソース領域5a及びドレイン領域5bが形成され、半導体層2のゲート電極6の下方の部分にチャネル領域2aが形成される。本実施例では第1絶縁膜3a及び第2絶縁膜3bがゲート絶縁膜として機能している。以上によりTFT21が形成される。

【0018】次に、基板1上の全面にCVD法によってシリコンの酸化物からなる層間絶縁膜7が形成される。次に、ドーパした不純物を活性化させるために、この基板は例えば窒素中で950℃に30分間熱処理される。更に、層間絶縁膜7のソース領域5a上及びドレイン領域5b上の部分にコンタクトホールが形成され、ソース領域5a上のコンタクトホール上にソースバス配線25が形成される。ドレイン領域5b上のコンタクトホール上及び層間絶縁膜7上には給電電極3が形成され、図1のアクティブマトリクス基板が得られる。

【0019】更に、このアクティブマトリクス基板と対向基板との間に液晶等の表示媒体が封入され、アクティブマトリクス表示装置が得られる。

【0020】本実施例のアクティブマトリクス表示装置では、第1絶縁膜3a及び第2絶縁膜3bが、TFT21のゲート絶縁膜として用いられている。第1絶縁膜3a及び第2絶縁膜3bの層厚は、それぞれ50nmであり、これらを合計したゲート絶縁膜としての層厚は、100nmである。この値は前述の図4(d)の従来例のゲート絶縁膜の層厚と同じである。一方、本実施例の表示装置では、第2絶縁膜3bのみが付加容量22の付加容量絶縁膜として機能している。従って、本実施例の表示装置に於ける付加容量絶縁膜の層厚は、図4(d)の従

5

来例に於ける付加容量絶縁膜の2分の1となる。従って、本実施例では第1容量電極2b及び第2容量電極6aの面積を小さく設定しても、図4(d)の従来例に於ける付加容量の容量値を減退でき、付加容量22を設けたことによる開口率の低下の影響を小さくすることができる。即ち、明るい表示画面が得られる。

【0021】

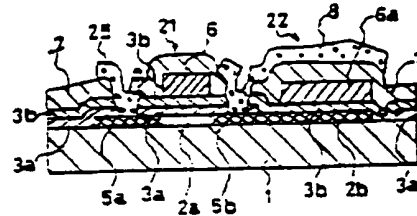
【発明の効果】本発明のアクティブマトリクス表示装置では、第1絶縁膜及び第2絶縁膜を設けている。そして、第1絶縁膜及び第2絶縁膜によってゲート絶縁膜を構成し、第2絶縁膜によって付加容量絶縁膜を構成することにより、ゲート絶縁膜の層厚にかかわらず付加容量絶縁膜の層厚を小さくすることができる。従って、本発明によれば、明るい表示画面を有するアクティブマトリクス表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス表示装置に用いられる、アクティブマトリクス基板の断面図である。

【図2】(a)～(c)は図1のアクティブマトリクス基板の製造工程を示す断面図である。

【図1】



5

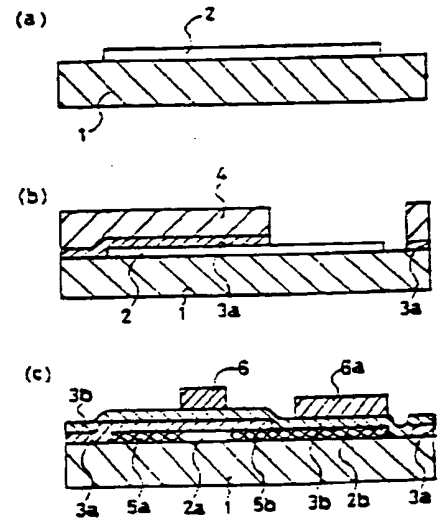
【図3】アクティブマトリクス表示装置の等価回路図である。

【図4】(a)～(d)は従来のアクティブマトリクス基板の製造工程を示す断面図である。

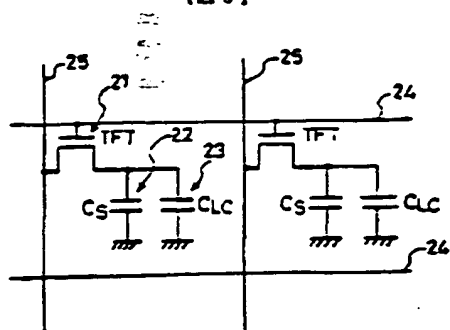
【符号の説明】

- 1 絶縁性基板
- 2 半導体層
- 2a チャンネル層
- 2b 第1容量電極
- 3a 第1絶縁膜
- 3b 第2絶縁膜
- 4 レジスト
- 5a ソース領域
- 5b ドレイン領域
- 6 ゲート電極
- 6a 第2容量電極
- 7 層間絶縁膜
- 8 像素電極
- 21 薄膜トランジスタ
- 22 付加容量

【図2】



【図3】



【図4】

